

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-205393

(43)Date of publication of application : 06.09.1991

(51)Int.Cl.

C30B 23/02

C30B 29/42

H01L 21/203

(21)Application number : 01-344472

(71)Applicant : SHIMADZU CORP

(22)Date of filing : 28.12.1989

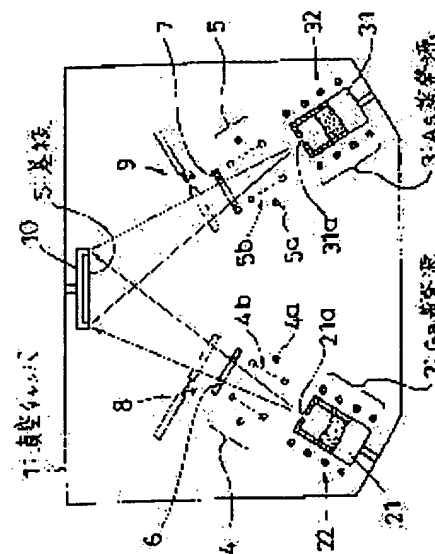
(72)Inventor : KOBAYASHI YUTAKA  
OTANI FUMIHIKO  
SHINOHARA MAKOTO  
OGAWA KIYOSHI  
KISHIHARA HIROYUKI

## (54) METHOD FOR MAKING THIN FILM

### (57)Abstract:

**PURPOSE:** To obtain a good thin film extremely reduced in the number of penetrated dislocations by changing irradiation energy and alternately laminating layers formed by the irradiation of high and low energies when vacuum deposition particles are irradiated on the surface of a substrate to form a thin film thereon.

**CONSTITUTION:** When the vaporized particles of vacuum deposition materials 2, 3 are irradiated on the surface of a substrate S to form a thin film, the energy of the irradiation is changed. A layer formed by the irradiation of a high energy and a layer formed by the irradiation of a low energy are successively laminated on the surface of the substrate to form the thin film.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of  
rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑪ 公開特許公報(A) 平3-205393

⑫ Int. Cl.<sup>5</sup> 織別記号 庁内整理番号 ⑬ 公開 平成3年(1991)9月6日  
 C 30 B 23/02 7158-4G  
 29/42 7158-4G  
 H 01 L 21/203 Z 7630-5F

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 薄膜製造方法

⑮ 特 願 平1-344472

⑯ 出 願 平1(1989)12月28日

⑰ 発 明 者 小 林 裕 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所三条工場内  
 ⑱ 発 明 者 大 谷 文 彦 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所三条工場内  
 ⑲ 発 明 者 榎 原 真 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所三条工場内  
 ⑳ 発 明 者 小 河 潔 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所三条工場内  
 ㉑ 出 願 人 株式会社島津製作所 京都府京都市中京区西ノ京桑原町1番地  
 ㉒ 代 理 人 弁理士 西 田 新  
 最終頁に続く

## 明 細 書

## 1. 発明の名称

薄膜製造方法

## 2. 特許請求の範囲

蒸着材料を真空雰囲気中で加熱することにより蒸発させ、その蒸発粒子を基板表面に照射することによって、その基板表面上に薄膜を形成する方法において、上記蒸発粒子の基板への照射エネルギーを低減させて、その基板表面上に、先に高エネルギー照射による層を次いで低エネルギー照射による層の順で、その高・低エネルギー照射による層を交互に積層して成膜を行うことを特徴とする、薄膜製造方法。

## 3. 発明の詳細な説明

&lt;産業上の利用分野&gt;

本発明は、基板上にGaAs薄膜等を形成する方法に関する。

&lt;従来の技術&gt;

GaAsは半導体として高速機能デバイス、光機能デバイスへの応用が考えられている。このGa

Asは、例えばMBE法やMOCVD法等の種々の方法で薄膜化が試みられている。これらの場合、薄膜を形成する基板としてはGaAs基板あるいはSi基板等が用いられている。特に、Si基板の場合、現在実用化されている半導体素子の発端がSiデバイスであるため、これらのデバイスの機能とGaAsデバイスの機能とを結合できることから、種々の応用が考えられている。(1989年5月26日 応用物理学会・結晶工学分科会、第92会研究集会テキスト)

ところで、GaおよびAsをSi基板上にヘテロエピタキシャル成長させると、その格子定数の不整合、極性や熱膨張係数の相違等により、良質のGaAs薄膜が得られない。そこで、従来では例えば、低温で基板表面にバッファ層を積層した後、高温でそのバッファ層上に成膜する、いわゆる2段階成長法や、歪み超格子をバッファとして用いる方法、あるいはMBE法(マイグレーション・エンハンスド・エピタキシ)等の種々の方法が試みられている。

## 特開平 3-205393(2)

## &lt;発明が解決しようとする課題&gt;

ところが、上述の三つの方法によれば、いずれも得られるG a A s薄膜の表面に現れる転位つまり貫通転位の数が非常に多く、実用可能な膜質が得られていないのが現状である。

本発明の目的は、貫通転位等の少ない良質なG a A s等の薄膜を製造することのできる方法を提供することにある。

## &lt;課題を解決するための手段&gt;

本発明の薄膜製造方法は、蒸着材料を真空雰囲気中で加熱することにより蒸発させ、その蒸発粒子を基板表面に照射することによって、その基板表面上に薄膜を形成する方法において、蒸発粒子の基板への照射エネルギーを変化させて、その基板表面上に、先に高エネルギー照射による層を次いで低エネルギー照射による層の順で、その高・低エネルギー照射による層を交互に積層して成膜を行うことを特徴としている。

## &lt;作用&gt;

蒸発粒子の基板への照射エネルギーを変更して、

基板表面に高エネルギー照射による層と低エネルギー照射による層とを交互に積層すること、その第1層目の積層時に基板との界面で発生した転位は、その上層との界面でこの界面に沿う方向に曲がり、これにより貫通転位が減少する。

## &lt;実施例&gt;

本発明の実施例を、以下、図面に基づいて説明する。

第2図は本発明方法を実際に使用する薄膜製造装置の概略構成図である。

真空チャンバ1内に二つの蒸発源、G a 蒸発源2およびA s 蒸発源3が配設されている。この各蒸発源2、3は、それぞれ内部に蒸着材料G a またはA s を収容し、かつ、上部壁体に噴射孔21 a、31 aを備えたるつぼ21、31と、その各るつぼ21、31の側方周壁を囲ってなる加熱用フィラメント22、32等を備え、るつぼ21、31それぞれを加熱用フィラメント22、32により加熱することによって内部の蒸着材料を蒸気化するように構成されている。そして、蒸気化した蒸着

材料は、噴射孔21 a、31 aから吹き出してクラスタ（塊状原子集団）となって真空チャンバ1内を進行し、そのクラスタはともに同じ真空チャンバ1に設置された同一の基板Sに到達する。

各蒸発源2、3と基板S間のクラスタ進行路上には、それぞれイオン化部4、5および加速電極6、7が順次配設されている。さらに、各加速電極6、7と基板Sとの間には、それぞれシャック8、9が配設されており、この各シャック8、9の操作により各蒸発源2、3からのクラスタの基板Sへの進行を選択できるようにになっている。

各イオン化部4、5は、イオン化フィラメント4 a、5 aおよびグリッド4 b、5 b等を備え、各イオン化フィラメント4 a、5 aに通電することにより発生する熱電子を、グリッド4 b、5 bにより各蒸発源2、3からのクラスタへと引き寄せ衝突させることによって、そのクラスタを陽イオン化するように構成されている。

基板Sおよび加速電極6、7は接地電位に設けられている。また、各加速電極6、7と各蒸発源2、

3との間には、それぞれ可変直流電源（図示せず）が設けられており、蒸発源2、3が正電位になるよう、その両者間にそれぞれ任意の大きさの電位差を付与することができる。そして、この電位差によって形成される電場によって、イオン化部4、5において陽イオン化されたクラスタは、それぞれ加速されてイオンビームとなって基板S表面に衝突する。

なお、基板Sは、例えば加熱器および熱電対等を備えたホルダ10によって、真空チャンバ1内の所定位置に保持されるとともに、成膜に適した温度に維持される。

さて、以上説明した装置を使用して、S i 基板上にG a A s 薄膜を形成する場合の手順を、第1図を参照して説明する。

まず、前処理を施したS i 基板Sを真空チャンバ1内のホルダ10に装着し、チャンバ内の真空引きを行った後、基板Sの温度を成膜に適した温度に保つ。次いで、各蒸発源2、3および各イオン化部4、5をそれぞれ駆動した状態で、A s 蒸

## 特開平 3-205393(3)

発源 3 側のシャッター 9 だけを閉き、基板 S 表面に電圧 1.3 kV 程度で加速された As クラスター・イオンを照射して基板 S 表面のクリーニングを行う (a)。

次に、Ga 蒸発源 2 側のシャッター 8 を開いて、基板 S 表面に電圧 1.3 kV 程度で加速された Ga および As クラスター・イオンをそれぞれ照射して基板 S 表面上にバッファ層 B を積層する (b)。このバッファ層 B の膜厚は 1.5 μm 程度とする。

次いで、各イオン化部 4、5 の駆動を停止し、かつ、各蒸発源 2、3 を接地電位に落とすことによって、Ga および As クラスターをイオン化・加速せずに基板 S 表面に照射して、先に積層したバッファ層 B 上に GaAs 薄膜 T を成長させる (c)。この薄膜の膜厚も 1.5 μm 程度とする。

以上の手順により、Si 基板上に成長させた GaAs 薄膜の TEM (透過電子顕微鏡) 像の写生図を第 3 図に示す。

Si 基板と GaAs 膜 (バッファ層) との界面で発生した転位は、イオン化・加速の変化による

界面、すなわちバッファ層と本成膜層との界面付近で減少している。これは、バッファ層と本成膜層との界面で転位を横方向に曲げる力が作用するためである。従って、この TEM 像から明らかにように、本発明方法は、貫通転位の少ない良質の GaAs 薄膜を得るための有効な方法であることが判る。

なお、以上の手順において、(b)および(c)の工程を繰り返して行えば、転位を横方向に曲げる機会が多くなり、貫通転位をさらに減少させることが可能となる。

また、(c)工程においては、Ga および As グラスタをイオン化・加速を行わないで基板に照射しているが、例えば、その各クラスターのイオンを低エネルギー加速、例えば 0.1 kV 程度で加速して基板表面に照射してもよい。要するに、(c)工程における各クラスターの基板への入射エネルギーは、良質な薄膜を得ることのできる最適値を選定すればよいわけである。

なお、以上は、イオン・クラスター・ビーム法に

- 7 -

- 8 -

基づく薄膜製造装置を使用して本発明方法を実施した例について説明したが、これに限られることなく、例えばイオン・ブレーディング法に基づく薄膜製造装置等、蒸発粒子の基板への照射エネルギーを任意に変化させることが可能な他の薄膜製造装置を使用しても実施できることは勿論である。

<発明の効果>

以上説明したように、本発明方法によれば、蒸発粒子の基板への照射エネルギーを変更して、高エネルギー照射による層と低エネルギー照射による層を交互に積層したので、貫通転位の数が極めて少ない良質な薄膜を得ることができ、これにより、例えば Si 基板上に実用可能な GaAs 薄膜を形成することが可能となる。このことは、Si デバイスの機能と GaAs デバイス機能とを結合した様々な半導体装置の実現化への可能性を広げる。

#### 4. 図面の簡単な説明

第 1 図は本発明方法の手順の説明図で、また、第 2 図は本発明の実施に使用する装置の概略構成図である。

第 3 図は本発明方法により Si 基板上に成長させた GaAs 薄膜の TEM 像の写生図である。

- 1・・・真空チャンバ
- 2・・・Ga 蒸発源
- 3・・・As 蒸発源
- 4、5・・・イオン化部
- 6、7・・・加速電極
- S・・・Si 基板
- B・・・バッファ層
- T・・・GaAs 薄膜

特許出願人  
代 理 人

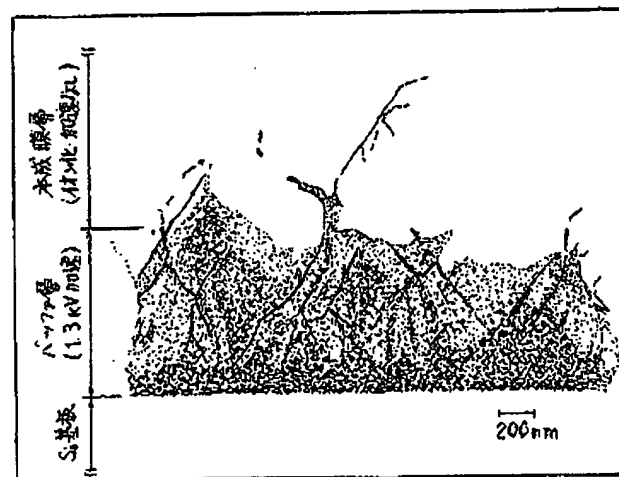
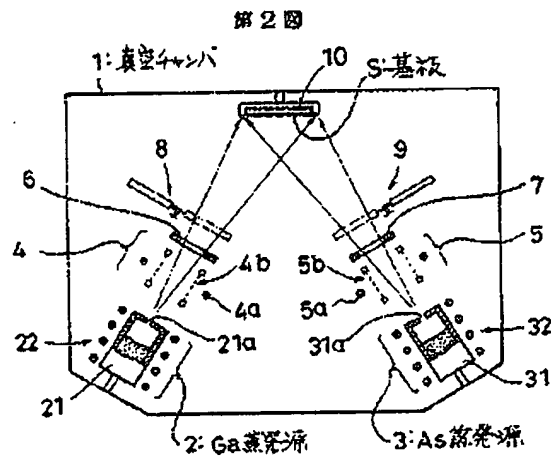
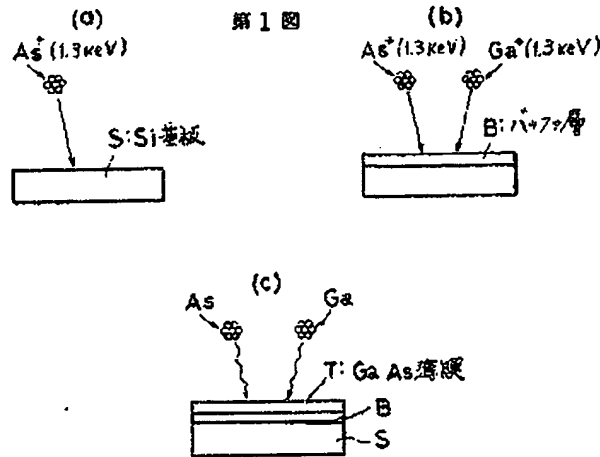
株式会社島津製作所  
弁護士 西田 新

- 9 -

- 10 -

—537—

特開平 3-205393(4)



特開平 3-205393(5)

第1頁の続き

④発 明 者 岸 原 弘 之 京都府京都市中京区西ノ京桑原町1番地 株式会社島津製作所三条工場内